

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-019929

(43)Date of publication of application : 28.01.1987

(51)Int.Cl. G06F 3/14  
G06F 13/28

(21)Application number : 60-158722

(71)Applicant : RICOH CO LTD

(22)Date of filing : 18.07.1985

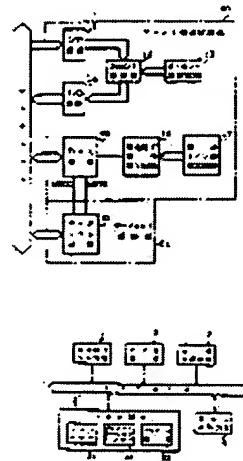
(72)Inventor : TERACHI TOSHIO

## (54) DMA CONTROLLER

### (57)Abstract:

**PURPOSE:** To attain a system having high throughput by securing such a mechanism where a DMA controller shifts in bits the source data to a data shift circuit with an instruction given from a CPU device and the picture data is partly transferred with DMA to a block transfer circuit part.

**CONSTITUTION:** The DMA circuit 63 of a DMA controller 4 reads the picture data on a source address out of a source memory 21 according to the contents and the offset value of a parameter area 23 initialized by a CPU device 3. When the bit shift is desired with said picture data, the number of bits designated by a data shift circuit 62 are shifted. Then the shifted data is written to a destination memory 22 with a destination address. When the transfer is through with the data, a parameter necessary for transfer is replaced. Then the transfer of data on the 2nd line is carried out in the same way as that of the 1st line. In such a way, the DMA transfer is carried out with all N lines.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑯ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-19929

⑤ Int.Cl.<sup>4</sup>

G 06 F 3/14  
13/28

識別記号

庁内整理番号

7341-5B  
A-7165-5B

⑬ 公開 昭和62年(1987)1月28日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 DMA制御装置

⑰ 特 願 昭60-158722

⑱ 出 願 昭60(1985)7月18日

⑲ 発 明 者 寺 地 俊 雄 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
㉑ 代 理 人 弁 理 士 磯 村 雅 俊

明 細 書

1. 発明の名称 DMA制御装置

2. 特許請求の範囲

(1) 画像データを格納するメモリおよびCPU装置を有し、上記画像データを処理するシステムにおいて、上記画像データを任意のビット数シフトするデータシフト手段と、上記CPU装置が指定した上記メモリにおける一定ブロックの画像データをDMA転送するブロック転送手段とを具備することを特徴とするDMA制御装置。

(2) 前記データシフト手段は、前記画像データを右または左へビットシフトして16ビットのデータで出力する手段と、該16ビットの出力データを論理和する手段と、前記画像データの取込み先を指定する手段と、上記論理和手段の出力データを8ビットで前記メモリに格納する手段とを備えることを特徴とする特許請求の範囲第1項記載のDMA制御装置。

(3) 前記ブロック転送手段は、不連続な状態にあ

る画像データ間のオフセット値を格納する手段と、該オフセット値を基に前記メモリのアドレスを決定する手段と、指定のデータ量を転送したときに「転送終了信号」を出力して前記DMA転送を終了にする手段とを備えることを特徴とする特許請求の範囲第1項記載のDMA制御装置。

3. 発明の詳細な説明

技術分野

本発明はDMA制御装置に関し、より詳細には画像データを格納するメモリおよびCPU装置を有している画像データ処理するシステムにおいて、2次元状の画像データにおける一部のデータ転送およびビットシフト処理を高速化するのに好適なDMA制御装置に関するものである。

従来技術

従来の2次元の画像データを処理するシステムでは、画像信号を入力する装置、その画像データを格納するメモリ装置、画像データを基に画像を表示する装置それに各種データを処理するCPU装置などを有して、入力した画像データそのまま

の画像をCRT画面上に表示したり、入力した画像データに対し再構成の処理を行った後に表示している。

画像データを再構成するときは、表示中の画像データを格納するメモリに対し、元の画像データを格納するメモリから再構成に必要なデータを読出して書き込むことによって行うが、これらの処理の殆どをCPU装置にて実行しているために、システムスループットが低下していた。

例えば表示中の画像の一部をビットの単位で別の画像に変更する場合、CPU装置は読出してきた別の画像データの一部を指定のビット数シフトさせて表示中の画像データへ組込むことを実行するが、CPU内部のレジスタを多く使用する、処理が煩雑化しソフトウェアがコスト高、データ転送の処理時間が長くなっていた。また、メモリを不連続なアドレスでアクセスして画像データの読出／書き込む場合には、CPU装置が転送用パラメータを随時更新する必要があるため、このためにデータ転送以外のソフトウェアも搭載してい

た。

#### 目 的

本発明の目的は、このような従来の問題を解決し、画像データを格納するメモリおよびCPUを有している画像データ処理システムにおいて、上記CPUの指示により画像データの一部転送および画像データのビットシフトを行って転送処理の高速化、システムスループットを向上させることのできるDMA制御装置を提供することにある。

#### 構 成

本発明は上記の目的を達成させるため、本発明のDMA制御装置に、画像データを格納するメモリおよびCPU装置を有し、上記画像データを処理するシステムにおいて、上記画像データを任意のビット数シフトするデータシフト手段（データシフト回路部61）と、上記CPU装置が指定した上記メモリにおける一定ブロックの画像データをDMA転送するブロック転送手段（ブロック転送回路部60）とを具備することを特徴としたものである。

以下、本発明の一実施例に基づいて具体的に説明する。

第2図は本発明の一実施例を示す画像データ処理システムの構成図である。同図において、1は画像信号を入力する画像信号入力装置、2は元の画像データを格納するソースメモリ21、表示中の画像データを格納するディスティネーション・メモリ22それにパラメータ領域23を有しているメモリ装置、3は本システムの全体を制御するCPU装置、4は後述する方法で画像データのDMA転送およびビットシフトをするDMA制御装置、5は画像データで画像を表示する画像表示装置である。なお、これらの各装置をアドレスバス、データバス、コントロール線でなるシステムバスにて接続する。

今、例えば第3図に示すように画像表示装置5の表示画面51上において、画像の一部52を52aの位置へ移動した画像の表示、また、ある画像の一部53に別の画像の一部54を組込んだ画像を表示する場合には、CPU装置3がDMA制

御装置4にデータ転送やデータのビットシフトなどを行わせて実現する。すなわち、DMA制御装置4は、後述する第一～三の実施例の動作で、メモリ上において不連続な複数のデータでなるデータブロックをCPU装置3の介在なしに指定エリアへデータ転送したり、同様にCPU装置3の介在なしに画像データをビットシフトさせてメモリ装置2内に書き込む。

始めに、本発明の第一の実施例を第4図～第6図により述べる。

第4図はDMA制御装置4の構成図、第5図はパラメータ領域23の構成図、第6図は第4図の処理フローチャートである。第4図において、11、14はそれぞれアドレス信号を入力、出力するI/O回路、12はソースアドレスにオフセット設定回路13のオフセット値（ジャンプさせる量）を加算する24ビット加算器、15は転送終了信号発生回路16からの「転送終了」を受けたときデータのDMA転送を終了にするDMA回路、17は転送ライン数を設定する転送ライン数設定

回路である。なお、転送ライン数は第3図に示す“N”ラインである。

DMA制御装置4のDMA回路15は、CPU装置3がシステムメモリ上のパラメータ領域23に対して、第5図に示すようにソースメモリ21への‘ソースアドレス’、ディスティネーション・メモリ22への‘ディスティネーション・アドレス’それに転送1ラインである‘バイトカウント’を24ビットで設定し、続いて初期設定として転送ライン数設定回路17には‘転送ライン数’（メモリブロック数：N）を、オフセット設定回路13には‘オフセット値’（1ライン分のアドレス値）を各々セットして、その後送出する‘STARTコマンド’を受信すると、以下のデータ転送を実施する。

すなわち、DMA回路15は、先ずパラメータ領域23の各パラメータを読取って内部レジスタに格納した後、そのパラメータのソースアドレス（すなわち第3図の画像の一部52の位置）でソースメモリ21からバイトカウント分のデータを読

出し、パラメータのディスティネーション・アドレス（すなわち画像の一部52aの位置）でディスティネーション・メモリ22へ書き込む（ステップ101）。なお、バイトカウンタには（転送1ライン×1ライン）分のデータ量を設定するので、DMA回路15は2次元転送エリア52の1ラインを転送する。また、このデータ転送を以下‘DMA<sub>1</sub>の転送’と呼ぶ。

続いてDMA回路15は、次の1ラインのDMA<sub>1</sub>の転送を行うためにパラメータ領域23内の両アドレス値を更新する。すなわち、先ず、システムメモリ上のN～N+4番地のデータ（ソースアドレス）をI/O回路11に移し、24ビット加算器12にその移した値に対しオフセット設定回路13のオフセット値を加算させてI/O回路14にセットさせた後、その加算値を再びシステムメモリ上のN～N+4番地に書き込む（ステップ103）。なお、このデータ転送を以下‘DMA<sub>2</sub>の転送’と呼ぶ。

上記の転送動作を繰返すことにより、更新した

ソースアドレスでデータを読み出し、それを同様に更新したディスティネーション・アドレスで書き込むことで（DMA<sub>1</sub>の転送）、Nライン全てをDMA転送し処理終了にする（ステップ102）。なお、転送処理を終了させるため、転送終了信号発生回路16が、転送ライン数設定回路17の転送ライン数を1ラインを転送することにディクリメントして、“0”になったとき、DMA回路15に‘転送終了信号’を出力しDMA転送を終らせる。

このように、初期設定されたパラメータを更新しながら転送ライン数分のデータを転送するので、不連続な状態で続く一定量の画像データ（すなわちデータブロック）をDMA制御装置4のみでデータ転送ができる。これによりCPU装置3は転送用のパラメータおよびオフセット値などをセットし以降は何も関知しないので、CPUのスループットを向上させると共に、システムとしてマルチタスクが可能となる。また、画像メモリでの2次元データの転送などに本DMA制御装置4は特に有効である。

次に、本発明の第二の実施例を第7図、第8図(a)～(i)により述べる。

第7図はDMA制御装置4の構成図、第8図(a)～(i)は第7図の動作を説明するための図である。第7図において、31、34はソースデータを一時格納するラッチ回路、32、35はそれぞれシフトコントロール回路33、36の指示によりソースデータを右または左へビットシフトするシフトレジスタ回路、37はディスティネーション・データを生成するOR回路、38、39はそれぞれMSB、LSB側の8ビットデータを一時格納するバッファ回路、40は後述する方法によりデータをビットシフトおよび読出/書き込み処理をするDMA回路、41はリードデータの取込み先を振分けるMRDC振分け回路、42はライトデータの送出元を振分けるMWT振分け回路である。

今、第3図に示すように画像表示部5の表示画面51上において、例えば表示中の画像の一部53に別の画像の一部54を表示させるような場合、DMA制御装置4のDMA回路40は、CPU装

図3から一部53に対応する画像データ(以降、ディスティネーション・データと呼ぶ)、一部54に対応する画像データ(以降、ソースデータと呼ぶ)、転送バイト数それにシフトビット数が指示されると、まず、MRDC振分け回路41からメモリリード・コマンド(1stリード信号)を送出させて、ソースメモリ21から指示された第8図(a)に示すソースデータ(S<sub>0</sub>~S<sub>7</sub>)をラッチ回路31に読出し、シフトコントロール回路33にラッチ回路31の8ビット出力を第8図(b)に示すようにMSB側で、かつ、右へ3ビットシフトさせてシフトレジスタ回路32にセットさせる。なお、CPU装置3は図示していないマウスなどの位置指示装置によってディスティネーション・データおよびソースデータの(1バイト中の)あるビットが指定されたときに動作を開始する。

その後、OR回路37にシフトレジスタ回路32, 35の両16ビット出力を論理和させて第8図(c)に示すバイトにした後、MWTIC振分け回路42からメモリライト・コマンド(1stライト

信号)を送出させて、OR回路37からのMSB側8ビットをバッファ回路38を通してディスティネーション・メモリ22の指示されたエリアに書込む。なお、この時点ではシフトレジスタ回路35からの16ビット出力はa11"0"である。また、最初のディスティネーション・データは、OR回路37の16ビット出力のMSB側にあるので、1stライト信号によりデータバッファ回路38をイネーブル状態にする。これにより、1バイト目(S<sub>0</sub>~S<sub>7</sub>)のシフトを含むデータ転送を終了する。

続いて、DMA回路40は、上記と同様にMRDC振分け回路41からメモリリード・コマンド(2stリード信号)を送出させてソースメモリ21から指示された次(2バイト目)の第8図(d)に示すソースデータ(S<sub>8</sub>~S<sub>15</sub>)をラッチ回路34に読出し、シフトコントロール回路36にラッチ回路34の8ビット出力を第8図(e)に示すようにLSB側で、かつ、右へ3ビットシフトさせてシフトレジスタ回路35にセットさせる。

その後同様にOR回路37にシフトレジスタ回路32, 35の両出力を論理和させて第8図(f)に示すバイトにした後、MWTIC振分け回路42からメモリライト・コマンド(2stライト信号)を送出させて、OR回路37からのLSB側8ビットをバッファ回路39を通してディスティネーション・メモリ22の指示された次のエリアにディスティネーション・データとして書込む。なお、この時点ではシフトレジスタ回路32からの16ビット出力は第8図(c)の内容(S<sub>0</sub>~S<sub>7</sub>)ある。また、2バイト目のディスティネーション・データは、OR回路37の16ビット出力のLSB側にあるので、2stライト信号によりデータバッファ回路39をイネーブル状態にする。

上記1バイト目の動作を3バイト目(S<sub>16</sub>~S<sub>23</sub>)に、上記2バイト目の動作を4バイト目(S<sub>24</sub>~S<sub>31</sub>)に、……と順々に繰返す。すなわち、1st/2stリード信号を交互に切替えてソースデータを読出しビットシフトして論理和した後、1st/2stライト信号も交互に切替えて

ディスティネーション・メモリ22に書込む。この動作をCPU装置3から指定されたバイト数のデータ全てをシフトしながら転送する。

このように、ソースデータを読出してシフトレジスタ回路32, 35でシフトし、その論理和データをディスティネーション・メモリ22に再び書込むので、画像の再構成をDMA制御装置4のみにて実行することが可能である。これにより従来のCPU装置3によるデータ転送に比べ転送時間を大巾に短縮できると共に、本システムにおけるスループットを向上する。

次に、本発明の第三の実施例を第1図により述べる。

第1図はDMA制御装置4の構成図である。同図において、60は前述した第4図の回路および同じ機能を持つブロック転送回路部、61は前述した第7図の回路および同じ機能を持つデータシフト回路部、62は第7図の回路ブロックを略図で示したデータシフト回路、63は前述したDMA回路15, 40の両機能を備えるDMA回路で

ある。

ここで前述の第一実施例によるブロック転送機能と前述の第二実施例によるデータシフト機能とを組合せたことにより、DMA制御装置4は2次元でなる画像データをバイトあるいはワードバウンダリごとでないビット単位でDMA転送(画像を再構成)することが可能となる。

上記を実現するためDMA制御装置4のDMA回路63は、CPU装置3が初期設定したパラメータ領域23の内容およびオフセット値などに従って、ソースメモリ21からソースアドレスの画像データを読み出し、その(画像の)データをビットシフトさせたいときにはデータシフト回路62に指定されたビット数をシフト(左右両シフト可)させた後、そのシフトしたデータをディスティネーション・アドレスでディスティネーション・メモリ22へ書込む(第二実施例、第一実施例のDMA1の転送を参照)。

この動作をDMA回路63は、リアルタイムで転送エリアへ(転送1ライン×1ライン)分のデー

タを転送し、その転送終了後、転送に必要なパラメータ(ソースアドレス、ディスティネーション・アドレス)を更新する(第一実施例のDMA2の転送を参照)。パラメータを更新後、2ライン目のデータ転送を1ライン目と同様な方法で行い、Nライン全てDMA転送し処理を終了する。なお、DMA転送の終了は転送終了信号発生回路16が転送ライン数を1ライン転送ごとにディクリメントし、“0”に達したときDMA回路63に‘転送終了信号’を送出することで行う(第一実施例を参照)。

このように、データシフト回路部62で読み出したソースデータをビットシフトし、一方のブロック転送回路部60にCRT画面上で対応している画像メモリのある領域(2次元エリア)から別の領域へとデータ転送させるので、CPU装置3からの指示を受けたDMA制御装置4が画像データの転送およびビットシフトを行うことができる。

これによりCRT画面に対応させたビット単位の再構成処理が容易に実施可能になるとともに、

ビット単位の解像度で画像を移動できる。また、データ転送およびビットシフトを本DMA制御装置4が自動的にを行い、CPU装置3と並列処理させることができ、スループットの高いシステムを構築することが可能である。

#### 効果

以上説明したように、本発明によれば、画像データを格納するメモリおよびCPU装置を有している画像データ処理システムにおいて、上記CPU装置の指示によりDMA制御装置がデータシフト回路部にソースデータをビットシフトさせ、ブロック転送回路部に画像データの一部をDMA転送させるので、データ転送およびビットシフトの処理は高速化し、本システムのスループットは向上する。

#### 4. 図面の簡単な説明

第1図、第4図、第7図はそれぞれ本発明の第三、第一、第二の実施例を示すDMA制御装置の構成図、第2図は本発明での画像データ処理システムの構成図、第3図は表示画面の表示を示す図、

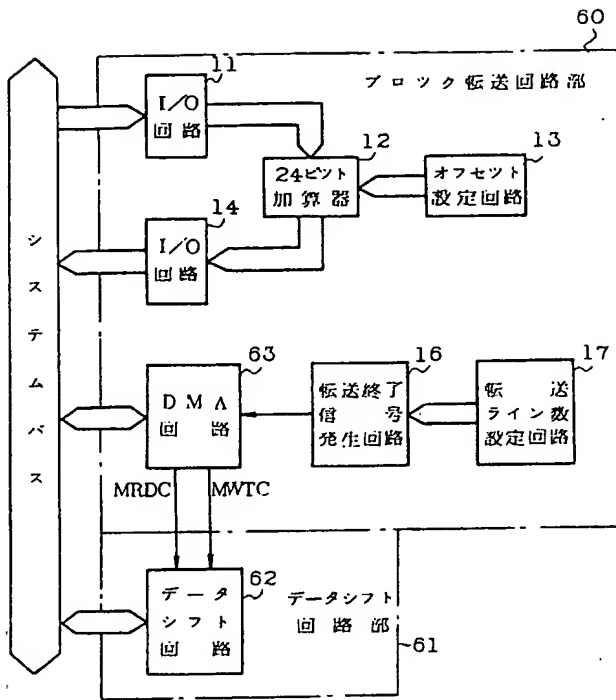
第5図はパラメータ領域の構成図、第6図は第4図の処理フローチャート、第8図(a)～(i)は第7図の動作を説明するための図である。

1: 画像信号入力装置、2: メモリ装置、3: CPU装置、4: DMA制御装置、5: 画像表示装置、11, 14: I/O回路、12: 24ビット加算器、13: オフセット設定回路、15, 40, 63: DMA回路、16: 転送終了信号発生回路、17: 転送ライン数設定回路、21: ソースメモリ、22: ディスティネーション・メモリ、23: パラメータ領域、31, 34: ラッチ回路、32, 35: シフトレジスタ回路、33, 36: シフトコントロール回路、37: OR回路、38, 39: バッファ回路、41: MRDC振分け回路、42: MWTIC振分け回路、51: 表示画面、52, 52a, 53, 54: 画像の一部、60: ブロック転送回路部、61: データシフト回路部、62: データシフト回路。

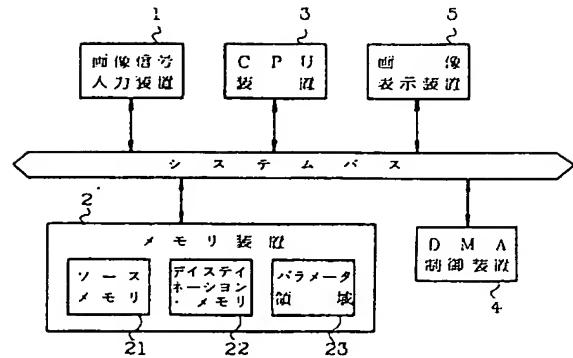
特許出願人 株式会社 リ コ ー

代理人 弁理士 磯村 雅 俊

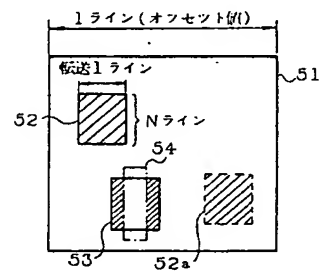
第 1 図



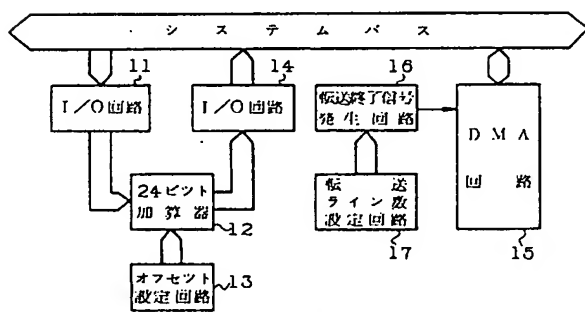
第 2 図



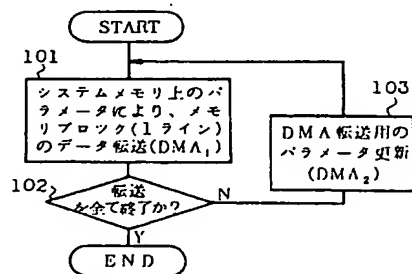
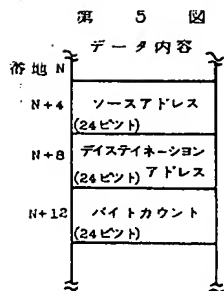
第 3 図



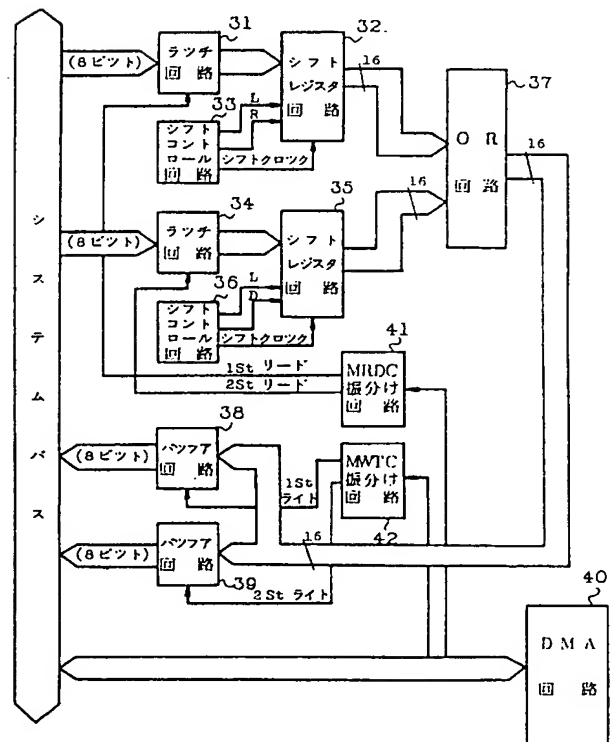
第 4 図



第 5 図

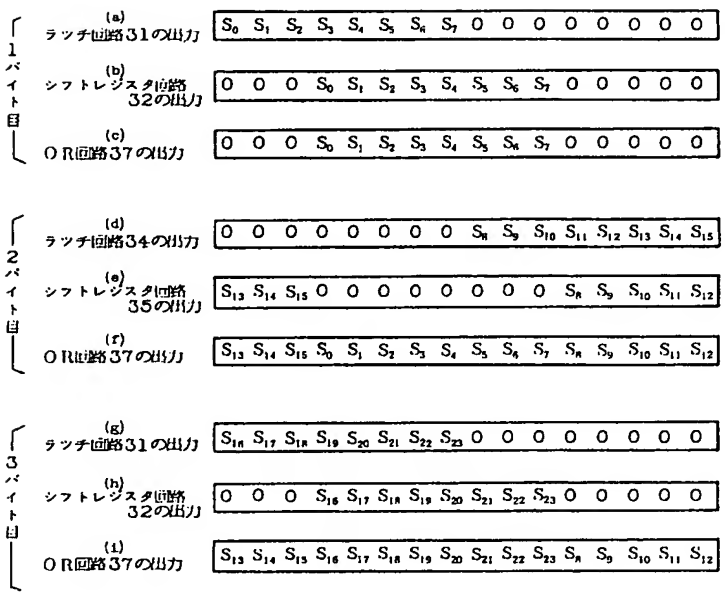


第 7 図



MSB側

LSB側



手続補正書(方式)

昭和60年11月8日

特許庁長官 宇賀道郎 殿

1. 事件の表示

昭和60年特許願第158722号

2. 発明の名称 D M A 制御装置

3. 補正をする者

事件との関係 特許出願人

フリガナ 東京都大田区中馬込1丁目3番6号  
住所 (674) 株式会社 リ コ ー  
フリガナ 氏名(名称) 代表者 浜 田 広

4. 代理人

住所 東京都新宿区西新宿1丁目18番15号  
中神ビル7階 電話 (03) 348 - 5035  
氏名 (7727) 弁理士 磯 村 雅 俊

5. 補正命令の日付 昭和60年10月9日(発送日) 60.10.29

6. 補正により増加する発明の数 な し

7. 補正の対象

明細書の「面図の簡単な説明」

8. 補正の内容 別紙のとおり

(1) 明細書の第18頁2行~3行の「第8図 (a)~(i)は、第7図の・・・図である。」を、「第8図は第7図の動作を説明するための図である。」に補正する。